

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

7-22542

Title of The Invention: Semiconductor device and mounting configuration of semiconductor device

[0008]

PROBLEMS THE PRESENT INVENTION ATTEMPTS TO SOLVE

A prior art resin-packaged semiconductor device, such as an SOJ-type semiconductor device 1 for example, has a structure in which leads 3 are jutting out from the both sides (periphery surfaces) of a package 2 made of a resin as shown in Fig. 12. Each lead is bent downward at the jutting section and then bent inward at its end to form a junction section 8, so that this structure is a so-called J-lead structure. The semiconductor device 1 in the same diagram has an LOC structure in which the leads 3 (including bus-bar leads 4) inside the package 2 are adhered onto a semiconductor chip 5 via an insulating tape 6. Electrodes, not shown, provided along the center of the semiconductor chip 5 and the respective leads 3 are connected via conductive wires 7.

[0009]

In such a semiconductor device 1, leads 3 are drawn so as to jut out from the both sides of the package 2, and there is nothing to cover the leads 3, so that there is a large possibility that the leads 3 are bumped against something else by mishandling. When an external force is applied to the leads

3, they can easily be deformed, rendering themselves so-called bent leads, or degrading their flatness.

[0011]

An object of the present invention is to provide a semiconductor device, which is not susceptible to lead deformation such as bent lead etc.

[0012]

Another object of the present invention is to provide a semiconductor device and a mounting configuration of a semiconductor device capable of improving the mounting density.

[0019]

EMBODIMENTS

One embodiment of the present invention will now be explained with reference to figures. Fig. 1 depicts a cross-sectional view of a semiconductor device according to one embodiment of the present invention, Fig. 2 depicts a plan view of a lead frame used for manufacturing the same semiconductor device, Fig. 3 depicts a plan view of the lead frame after chip bonding and wire bonding steps of the manufacturing process of the same semiconductor device, Fig. 4 depicts a cross-sectional view while being transfer-molded during the manufacturing process of the same semiconductor device, Fig. 5 depicts a cross-sectional view after lead-cutting and primary lead-forming steps of the manufacturing

process of the same semiconductor device, Fig. 6 is a cross-sectional view of the state after a secondary lead-forming step of the manufacturing process of the same semiconductor device, Fig. 7 is a cross-sectional view indicating a semiconductor device mounting configuration according to one embodiment of the present invention, Fig. 8 is a front view of a stick magazine for accommodating semiconductor devices of the present invention, and Fig. 9 is a cross-sectional view of the stick magazine accommodating a semiconductor device of the present invention.

[0020]

The present invention will be explained in relation to a semiconductor device incorporating a DRAM (Dynamic Random Access Memory). A semiconductor device 1 of the present invention comprises a package 2 made of a resin and leads jutting out from the package 2, and the leads 3 have a J-lead structure, each having a junction section 8 at its end. While the prior art SOJ semiconductor device has leads jutting out from the both sides of the package, the leads 3 of the semiconductor device 1 of the present invention do not come out from the outermost periphery of the package 2 as shown in Fig. 1.

[0021]

That is, in the semiconductor device 1 of the present invention, although the package 2 in its plan view is

substantially a rectangular body, when viewed from the front, it has recessed surfaces 9 constituted by recessed, sloped surfaces on the both sides of the bottom portions of the periphery surfaces (bottom periphery). The leads 3 jut out from some midpoints of the recessed surfaces 9, and they are bent downward at these jutting joint sections, and then bent inward at their ends to form the J-lead structure. Also, to describe from a different perspective, the semiconductor device 1 of the present invention has a structure, in which the package portions on the upper side of the jutting leads 3 are hanging over the package portions on the lower side of the jutting leads 3. These hangover sections 10 work as guards (edges to be held) for the leads 3. The leads 3 are located at a given distance e (i.e. 0.2-0.3mm) inwardly from the outermost periphery (also referred to as, simply, "periphery") of the package. This is to provide a clearance, which can inhibit the occurrence of short-circuiting during a mounting process of the semiconductor device 1, where the semiconductor device 1 is mounted in such a manner that its package 2 comes into contact with adjacent semiconductor devices 1.

[0022]

The semiconductor device 1 of the present invention has an LOC structure. Accordingly, within the package 2, the leads 3 (including bus-bar leads 4) are adhered onto the semiconductor chip 5 via an insulating tape 6. Electrodes (not

shown) that are provided along the center of the semiconductor chip 5 and the respective leads 3 are connected through conductive wires 7.

[0023]

In such a semiconductor device 1, when it is viewed two-dimensionally, the leads 3 appear to be located inside the package 2, and they do not jut out beyond the periphery of the package 2. Accordingly, there would be less chance for them to come into contact with something else as they do not jut out from the package 2, so that lead 3 deformation is unlikely to occur. Furthermore, when handling the semiconductor device, the upper portion of the package 2 of the semiconductor device 1 which includes the overhang portions 10 may be used as holding edges (handling sections), so that one do not need to directly touch the leads 3 while handling.

[0024]

Fig. 8 is a perspective view of a stick magazine 15 for accommodating the semiconductor devices 1, and Fig. 9 is a cross-sectional view of the stick magazine 15 accommodating a semiconductor device. The semiconductor device 1 is received within the stick magazine 15 having a Supporting stage 17 on a center of a substantially a rectangular cross-sectional shape and a supporting stage 17. The space above the supporting stage 17 is a package-accommodating space 19, and the spaces on the both sides of the supporting stage 17 that

are not included to the package-accommodating space 19 are lead-accommodating spaces 20. In such a stick magazine 15, since the leads 3 reside within the package (2) periphery and do not go beyond it, and since the center portion of the bottom surface of the package 2 is supported by the supporting stage 17, the leads 3 never come into direct contact with the interior walls 21 of the stick magazine 15. That is, this stick magazine 15 is so configured as to never come into contact with the leads 3, in that, only the contacting surfaces provided are those against the package (2)'s top and both side surfaces, and the center of the bottom surface, which is away from the lead jutting points. Therefore, even if the semiconductor device 1 moves within the stick magazine 15, the portions of the package 2 that may potentially come into contact with the interior walls surface of the stick magazine 15 would be the top and side surfaces and the center section of the bottom surface, and the leads 3 would never come into contact. In this way, while it is accommodated within the stick magazine 15, any external force would never be applied to the leads 3, thus, lead deformation would not occur. Moreover, when loading the semiconductor device 1 into the stick magazine 15, it is inserted so that the package 2 is received within the package-accommodating space 19 of the stick magazine 15, therefore the leads 3 would not be bumped against the edges of the stick magazine 15, preventing the occurrence of lead

deformation.

[0025]

The manufacturing steps of the semiconductor device 1 will now be explained. At first, a lead frame 25 such as the one shown in Fig. 2 is provided. This lead frame 25 is formed by patterning a metal plate made of Fe-Ni alloy or Cu alloy etc. having a thickness of 0.125mm through precision press-cutting or etching. The lead frame 25 has a geometry in which a plurality of unit lead patterns are serially arranged in one direction. A unit lead pattern is formed within a frame comprising a pair of outer frame lines 26 extending in parallel, and a pair of inner frame lines 27 extending in a direction perpendicular to the outer frame lines 26, and connecting the pair of outer frame lines 26.

[0026]

On the other hand, a plurality of leads 3 extend from the inner sides of said inner frame lines 27 toward the centerline of the frame. These leads 3 extends in parallel to each other up to some midpoint to form outer leads, and thereafter, they are respectively bent to form inner leads in a cantilever structure. Those leads located at the both sides of the lead arrangement extend to the center portion of the frame along the centerline, merging into each other to form bus-bar leads 4. These bus-bar leads 4 are formed by the sets of leads 3 extending from the two inner frame lines 27

respectively, and one serves as a power-supply lead, and the other serves as a grounding lead. Within a vacant space 29 between the two bus-bar leads 4 extending along the centerline of the frame, electrodes (not shown) provided along the centerline of the semiconductor chip 5 are arranged after the semiconductor chip 5 is attached. The outer lead portions of the leads 3 are coupled by dam bars 30 extending in a direction parallel to the inner frame lines 27. The dam bars 30 serve as a dam for preventing spill of a molten resin during a resin-molding step, which will be explained below, and at the same time, also serve as strengthening members. Furthermore, although it is not shown, guiding holes are formed in the outer frame lines 26. These guiding holes are used as a guide for feeding or positioning of the lead frame 25.

[0027]

Next, as shown in Fig. 3, this read frame 25 is laid over the major surface of the semiconductor chip 5 via an insulating tape 6. The insulating tape 6 is a double-faced type polyimide tape having a thickness of 80 μ m. The insulating tape 6 adheres the inner lead portions of the leads 3 and the bus-bar leads 4 of the lead frame 25. Accordingly, the electrode section, not shown, located at the center section of the semiconductor chip 5 would be exposed.

[0028]

Thereafter, as shown in Fig. 3, the electrodes, not shown,

of the semiconductor chip 5 and the inner lead portions of the leads 3 and the bus-bar leads 4 are electrically connected by conductive wires 7 such as gold wires using a regular wire-bonding apparatus.

[0029]

This lead frame 25 is then, enclosed by a bottom mold 35 and a top mold 36 of a regular molding apparatus (transfer molding), and a resin is then injected, thereby forming a package 2 as shown in Fig. 4. Through this molding, the semiconductor chip 5, the inner lead portions of the leads 3 and the bus-bar leads 4, the wires 7 and the semiconductor chip 5 etc. are covered by the package 2. In the diagram, the gap between the top surface of the lead frame 25 and the top surface of the bottom mold 35 is illustrated as being large, however, it is actually extremely small, and an amount of the resin that would leak out from this section is small, so that any resin flashes resulted by resin leak can be eliminated when the dam bars are cut during a subsequent process.

[0030]

The lead frame 25 after molding is subject to lead cutting and lead forming. In the present embodiment, in order to form the leads 3 into the J-shaped structure, lead cutting and forming are performed over two processing steps. In a primary lead cutting/forming step, as shown in Fig. 5, the leads 3 and the bus-bar leads 4 are cut by a lower cutting die 41 of a lower

trim-and-forming die 40 and an upper cutting die 46 of an upper trim-and-forming die 45. The lower trim-and-forming die 40 is also provided with a lower forming die 42 so arranged to engage with the upper cutting die 46. By these lower forming die 42 and upper cutting die 46, the portions of the leads extending beyond the lower forming die 42 are bent to form the junction sections 8 of the J-leads. Furthermore, in the portions of the lower forming die 42 corresponding to the dam bars 30 of the lead frame 25, escape holes 43 are provided, and at the same time, a stamping die 47 is provided to the upper trim-and-forming die 45 correspondingly to the escape holes. A descent of this stamping die 47 causes the dam bars 30 to be stamped out.

[0031]

In the lead forming of the secondary step, as shown in Fig. 6, after the cutting of the leads 3 and the bus-bar leads 4 and the stamping out of the dam bars 30, the jutting joint sections of the leads 3 are supported by a cutting die 50 from the bottom. This secondary step is performed within the same apparatus. That is, the cutting die 50 advances in an upward direction toward the package 2 to support the jutting joint sections of the leads 3. Thereafter, the lower trim-and-forming die 40 and the upper trim-and-forming die 45 are retracted respectively. Bending rolls 51 are then advanced into upper positions relative to the leads 3. These bending

rolls 51 descend downward to make contact with the leads 3, and then as shown by the arrows in Fig. 6, they move toward each other, each tracing an arc to bend the leads 3 at the jutting joint sections supported by the cutting die 50 to form the leads 3 into the J-lead structure. Thereafter, the bending rolls 51 are retracted. Farther the upper portion of the package 2, or the portion of package 2 including an overhang portion 10 is held by a holder, not shown. Following to this, the cutting die 50 is horizontally retracted to evacuate from the region of the space surrounded by the bottom of the package 2 and the leads 3 on the both sides. The manufactured semiconductor device 1 is unloaded to a given position by a holder, not shown.

[0032]

The semiconductor device of the present invention is surface-mounted on a wiring board in the same manner as conventional semiconductor devices 1 by reflow soldering. Fig. 7 is a front view of a mounting configuration of semiconductor devices according to one embodiment of the present invention. As shown in the diagram, the semiconductor devices 1 are mounted on a wiring board 55 with their packages 2 in contact with each other. That is, each of the semiconductor devices 1 is connected to each conductive layer 56 (wiring layer) called footprint etc. of the wiring board 55 via solder 57. In this case, the leads 3 of each semiconductor device 1 are located

inwardly away from the periphery of the package 2 by a fixed distance e , so that an interval between the leads 3 of any adjacent semiconductor devices 1 would be $2e$. Accordingly, as can be seen on the wiring board 55, it would be necessary to form the wiring pattern in a manner that gaps of $2e$ are provided between the conductive layers 56. When the semiconductor devices 1 of the present invention are mounted on such a wiring board 55 through reflow soldering, even if a semiconductor device 1 moves during the solder reflow, since the packages 2 of the respective devices would come into contact, there would be no further movement toward each other while the adjacent semiconductor devices 1 may move away from each other, so that short-circuiting between the leads of adjacent semiconductor devices 1 will not occur. As a result, with the mounting configuration of the semiconductor device of the present invention, mounting density may be improved.

[0033]

EFFECT OF THE INVENTION

(1) Since in a semiconductor device of the present invention, leads are coming out from recessed surfaces on the both lead-jutting sides of a package, and do not extend beyond the periphery of the package, the package periphery may serve as a protection body to reduce the possibility of the leads to be bumped against other things when being handled, providing an effect of reducing the occurrence of lead deformation.

[0034]

(2) In a semiconductor device of the present invention, the top portion of the package, which includes overhanging portions that hang over so as to cover the leads, serves as a portion to be held during handling, thus, one may handle the semiconductor device without directly touching the leads, thereby providing an effect of reducing the risk of promoting lead deformation.

[0035]

(3) In a semiconductor device of the present invention, the leads do not jut out from the periphery of the package, so that when it is being inserted into a semiconductor-device-accommodating stick magazine, there would be less chance of having them bumped against the edges of the stick magazine, thereby providing an effect of preventing lead deformation.

[0036]

(4) In a semiconductor device of the present invention, while it is held within a semiconductor-device-accommodating stick magazine, only the portions that are in contact with the interior walls of the stick magazine would be the top and side surfaces and the center section of the bottom surface which is away from the lead-jutting points, so that lead would not come into contact with the interior walls, providing an effect of preventing lead deformation.

[0037]

(5) In a mounting configuration of a semiconductor device of the present invention, the semiconductor devices mounted on a wiring board have their leads located inwardly away from their package peripheries by a fixed distance, thus, even if the adjacent semiconductor devices are mounted in a manner that their respective packages are in contact with each other, there are spaces that are twice of that fixed distance between the leads of any adjacent semiconductor devices, thereby preventing short-circuiting of the leads and achieving an improved mounting density.

[0038]

(6) From the above (1) through (5), according to the present invention, a synergistic effect may be obtained, that is the capability of providing a semiconductor device, which is not susceptible to lead deformation and at the same time, capable of improving the mounting density.

[0039]

The present invention as invented by the present inventor has been explained in detail heretofore based on the embodiments, however, it should be appreciated that the present invention is not limited to the above embodiments, and various modifications are possible without departing from the scope and principle of the present invention. For example, as shown in Fig. 10, the portion of the package 2 on the upper

side of the leads 3 may be configured to have a trapezoidal shape to allow a top mold to be readily removed after transfer molding in manufacturing the semiconductor device. Even with this structure, the portion of the package 2 on the upper side of the leads 3 has overhang portions 10 that hang over beyond the leads 3, so that, with the overhang portions 10 serving as a guard, the leads 3 may hardly be subject to lead deformation. Also, when it is being mounted, the mounting density may be improved by mounting adjacent semiconductor devices 1 in a manner that their respective packages 2 are in contact with each other.

[0040]

Fig. 11 illustrates a semiconductor device 1 according to another embodiment of the present invention. This semiconductor device has a structure in which the leads 3 jut out from the four sides of the package 2. The leads 3 jut out from recessed surfaces 9 at the lower periphery of the package 2, and have a so-called bat lead structure in which they are bent downward at the jutting joint sections. When the leads 3 are configured to jut out from the four sides of the package 2 and bent downward at the jutting joint sections, if the leads had the J-lead structure, the aforementioned lead forming process using the cutting die would not be feasible as the die cannot be removed. Accordingly, the leads 3 are shaped in the bat-lead structure when the leads 3 are configured to jut out

from the four sides of the package 2 and bent downward at the jutting joint sections. The semiconductor device 1 of this embodiment is also capable of, as the prior embodiments, preventing lead deformation and improving the mounting density.

[0041]

The above description has been disclosed mainly in relation to the case where the present invention invented by the present inventor is applied to manufacturing techniques of a resin-packaged type semiconductor device, which has been the background field of the present invention, however, the present invention is not limited. The present invention is also applicable, at least, to the manufacturing techniques of any semiconductor devices in which a desired portion is sealed by a package.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-22542

(43) 公開日 平成7年(1995) 1月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/28	J	8617-4M		
23/50	N			
H 0 5 K 1/18		7128-4E		

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平5-158608

(22) 出願日 平成5年(1993) 6月29日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233505

日立東京エレクトロニクス株式会社

東京都青梅市藤橋3丁目3番地の2

(72) 発明者 中坪 正明

東京都青梅市藤橋3丁目3番地2 日立東

京エレクトロニクス株式会社内

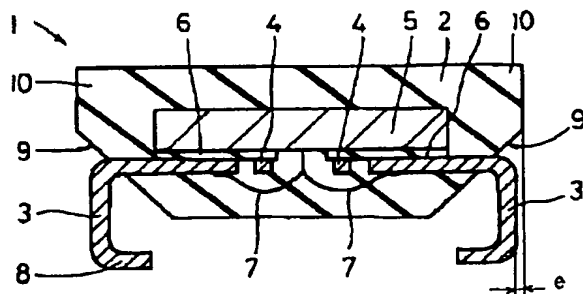
(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 半導体装置および半導体装置の実装構造

(57) 【要約】

【目的】 リード変形が起き難くかつ実装密度向上が可能な半導体装置の提供。

【構成】 レジンからなるパッケージ2は、平面的に見て矩形体となっているが、周面下部は引っ込んだ窪み面9となり、この窪み面9の途中からリード3が突出している。リード3は突出付け根部分で下方に曲がりJ型リード構造となる。リード3はパッケージ2の周縁から食み出すことなく一定の距離eだけ内部に位置している。リード3がパッケージ2から突出していないので、ハンドリング時、他のものに衝突する機会が少なくなり、リード変形が防止できる。配線基板に半導体装置1を実装する際、隣接する半導体装置1のパッケージ2が相互に接触するように実装しても、リード間には前記一定の距離eの2倍の隙間が形成されるため、リードショートが起きない。この実装により実装密度が高くなる。



2-パッケージ

3-リード

5-半導体チップ

6-絶縁テープ

9-窪み面

10-張出部

【特許請求の範囲】

【請求項1】 パッケージと、このパッケージから突出するリードとを有する半導体装置であって、前記パッケージの周面下部には窪み面が設けられているとともに、この窪み面から前記リードが突出していることを特徴とする半導体装置。

【請求項2】 パッケージと、このパッケージから突出するリードとを有する半導体装置であって、前記パッケージの周面下部には窪み面が設けられているとともに、この窪み面から前記リードが突出し、かつ前記リードは突出部分で下方に折れ曲がっていることを特徴とする半導体装置。

【請求項3】 パッケージと、このパッケージから突出するリードとを有する半導体装置であって、前記パッケージの周面下部には窪み面が設けられているとともに、この窪み面から前記リードが突出し、かつ前記リードは突出部分で下方に折れ曲がるとともに前記パッケージ外周縁から外に食み出さず内側に位置していることを特徴とする半導体装置。

【請求項4】 パッケージと、このパッケージから突出するリードとを有する半導体装置であって、前記リードの上面側のパッケージ部分はリードの下面側のパッケージ部分よりも張り出すとともに、前記リードは突出部分で下方に屈曲しかつリードの上面側のパッケージから食み出すことなく内側に位置していることを特徴とする半導体装置。

【請求項5】 配線基板と、この配線基板の少なくとも一面に複数の半導体装置を実装してなる半導体装置の実装構造であって、前記半導体装置はパッケージの周面下部が窪み面となるとともに、この窪み面からリードが突出し、かつ前記リードはパッケージ外周縁から外に食み出さずに内側に位置した構造となり、各半導体装置はパッケージが相互に接触可能な状態で配線基板に実装されていることを特徴とする半導体装置の実装構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置、特に表面実装型半導体装置および半導体装置の実装構造に関する。

【0002】

【従来の技術】 電子機器は、機能面から高密度実装化が、実装面から軽量化、小型化、薄型化が要請されている。また、電子部品の製造コストの低減のために、パッケージ形態としては材料が安くかつ生産性が良好な樹脂封止（レジンパッケージ）型半導体装置が多用されている。レジンパッケージ型半導体装置としては、金属製のリードフレームを用いるもの、絶縁性フィルムの表面にリードを形成したTCP（Tape Carrier Package）等が知られている。

【0003】 リードフレームを用いた半導体装置については、日立評論社発行「日立評論」1992年第3号、平成

4年3月25日発行、P75～P80に記載されている。この文献には、より小型・薄型のパッケージとして、TSOP（Thin Small Outline Package）、SSOP（Shrink Small Outline Package）、TQFP（Thin Quad Flat Package）、STZIP（Shrink Thin Zigzag Inline Package）が開示されている。また、SOP（Small Outline Package）はパッケージの2辺にアウターリードを配置し、QFP（Quad Flat Package）はパッケージの4辺にアウターリードを配置した構造となっている。そして、TSOP、TQFPは、リードのピッチサイズが0.5mmと狭くなるとともに、パッケージの本体厚さが1mmに薄型化されている。

【0004】 一方、工業調査会発行「電子材料」1984年9月号、昭和59年9月1日発行、64頁には、一般のフラット・パッケージにおける端子形状の種類として、(a) J型リード（Rolled-under）、(b) ガルウィング（Gull-wing）、(c) バットリード（Butt-lead）、(d) フラットリード（Flat lead）がある旨記載されている。

【0005】 また、日本電気文化センター発行「NEC技報」Vol.40、No.10/1987、P213～P216には、サーフェスマウント（表面実装）用パッケージの動向について記載されている。この文献には、リード形状による特性比較におけるハンドリング性（リード曲がり）において、バットリードは優れ、J-ベンド（J型リード）は非常に優れているとし、ガルウィングは劣るとされている。また、実装密度については、DIP（デュアルインライン・パッケージ）などの挿入実装パッケージと比較して実装密度が向上する旨記載し、それぞれ配線基板に半導体装置を並べて実装した例が示されている。

【0006】 リードフレームを用いた半導体装置の構造の一つとして、半導体チップの上に絶縁テープを介してリード内端部を取り付けるとともに、これらリード内端部と半導体チップの上面に設けられたボンディングパッドをワイヤで接続し、かつ半導体チップ、ワイヤ、リード内端部をレジンパッケージで封止してなるLOC（Lead On Chip）構造の半導体装置が開発されている。LOC（リード・オン・チップ）構造については、日経BP社発行「日経マイクロデバイス」1991年2月号、同年2月1日発行、P89～P97に記載されている。この文献には、SOJ（Small Outline J-lead）パッケージにLOCを採用した構造について記載されている。LOC構造では、半導体チップの中央に沿って電極パッド（ボンディングパッド）が配列されるとともに、このボンディングパッド列の両側にそれぞれ電源線および接地線としてのバス・バー・リードが絶縁テープを介して配置されている。また、バス・バー・リードの外側の半導体チップ上に信号線等となるリードの内端部分が並ぶ構造となっている。また、前記ボンディングパッドとバス・バー・リードやリード内端部が導電性のワイヤで接続されてい

る。前記バス・バー・リードやその他のリード内端部は絶縁テープを介して半導体チップの上面に接着されている。

【0007】他方、パッケージの両側からリードを突出させる半導体装置を収容する収容体として、工業調査会発行「電子材料」、1983年3月号広告頁 291頁「電子部品自動挿入機用押出成型マガジン」に記載されているように、ICマガジン（スティックマガジン）が使用されている。また、その中には、収容した電子部品の脱落を防止するためのストッパを挿入するストッパ挿入孔がマガジンの両端部分に設けられたものも記載されている。

↓【0008】

【発明が解決しようとする課題】従来のレジンパッケージ型の半導体装置、たとえば、SOJ構造の半導体装置1は、たとえば図12に示すように、レジンからなるパッケージ2の両側（周面）からリード3を突出させた構造となっている。前記リード3は突出部分で下方に折れ曲がるとともに先端は内側に曲がり込んで接合部8を構成し、いわゆるJ型リード構造となっている。また、同図の半導体装置1はLOC構造となり、パッケージ2内のリード3（含むバスバーリード4）は、半導体チップ5上に絶縁テープ6を介して接着されている。また、半導体チップ5の中央に沿って設けられる図示しない電極と、各リード3とは導電性のワイヤ7を介して接続されている。

【0009】このような半導体装置1は、リード3がパッケージ2から両側に張り出すように突出し、リード3を被うようなものがないことから、半導体装置1の取扱時、誤ってリード3を他のものにおつける機会が多い。リード3に外力が加わると、リード3は容易に変形し、いわゆるリード曲がりが発生したり、あるいは平坦度が悪くなったりする。前記文献にも記載されているが、リード構造がバットリード構造やJ型リード構造の場合はリード曲がりが発生し難いとされているが、半導体装置の薄型化に伴って、リードの厚さが0.1～0.15mmあるいはそれ以下と薄くなり、機械的強度が低下する状態にあっては、ハンドリング時の接触によってリード変形は一層起き易くなる傾向にある。また、ハンドリング時、半導体装置1はスティックマガジンに収容して取り扱われるが、リード3がパッケージ2の両側から突出する構造であるため、スティックマガジンに半導体装置1を挿入する際、リード3をスティックマガジンの端に誤ってぶつけるようなこともある。また、従来の半導体装置1およびスティックマガジンの関係において、パッケージ2から張り出すリード3は、スティックマガジンの内壁に接触してしまい、これもリード変形の遠因となっている。

【0010】一方、ガルウィング、バットリード、Jーベンド等の表面実装型のリード構造となる従来の半導体装置は、最外側にリードが位置することから、表面実装

において、隣接する半導体装置を接近させすぎると、リフロー半田付け時に動くことが多く、隣接する半導体装置のリードと接触してショートを起こしてしまうため、隣接する半導体装置間に、ショート防止のために一定の空間が生じるように実装を行わなければならない、実装密度向上が妨げられている。

✓【0011】本発明の目的は、リード曲がり等リード変形が起き難い半導体装置を提供することにある。

【0012】本発明の他の目的は、実装密度向上が達成できる半導体装置および半導体装置実装構造を提供することにある。本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち、本発明のSOJ型半導体装置は、パッケージと、このパッケージの両側部分から突出するリードとを有する半導体装置であって、前記パッケージの周面下部に設けられた引っ込んだ窪み面と、前記窪み面から突出するリードとを有している。また、前記リードは突出付け根部分で下方に折れ曲がるJ型リード構造となっている。したがって、前記リードはパッケージ外周縁から外に食み出さず一定の距離eをおいて内側に位置している。また、本発明の半導体装置は、見方を変えるならば、前記リードの上面側のリード突出側のパッケージ部分はリードの下面側のリード突出側のパッケージ部分よりも張り出すとともに、前記リードは突出付け根部分で下方に屈曲したJ型リード構造となり、かつリードの上面側のパッケージから食み出すことなく内側に位置した構造となっている。

【0014】本発明の半導体装置の実装構造は、配線基板と、この配線基板の少なくとも一面にパッケージを接触させるように近接実装された複数のSOJ型の半導体装置とからなっている。前記半導体装置はパッケージの周面下部が窪み面となるとともに、この窪み面からJ型リード構造のリードが突出し、かつ前記リードはパッケージ外周縁から外に食み出さず一定の距離eをおいて内側に位置した構造となっている。したがって、パッケージを接するように実装された隣合う半導体装置間のリードとリードの間隔は2eとなる。この間隔2eは、隣接する半導体装置のリード間ショートを発生させない距離となっている。

【0015】

【作用】上記した手段によれば、本発明のSOJ型の半導体装置は、パッケージのリード突出側の両側の周面下部に傾斜面としての引っ込んだ窪み面が設けられ、この傾斜面の途中からJ型リード構造のリードが突出している。したがって、リード3はパッケージによって被われ、パッケージの周縁から食み出さない構造となってい

る。このため、パッケージの周縁はリードの保護体となり、リード変形が起き難い。

【0016】また、本発明の半導体装置は、リードの上方の張り出したパッケージ部分を、ハンドリング時のガイドとして使用できるため、リードに触れることなくハンドリングが行え、リード変形が起きなくなる。

【0017】本発明の半導体装置は、スティックマガジンに挿入する際、パッケージの周縁よりもリードが内側に位置しているため、パッケージをスティックマガジンに挿入させるように注意するだけで、リードをスティックマガジンの縁に衝突させずに挿入できるため、リード変形防止が図れる。また、スティックマガジン内において、パッケージの両側面がスティックマガジンの両内側壁に接触し、リードのスティックマガジンの両内側壁への接触はなく、リード変形が起きなくなる。

【0018】本発明の半導体装置の実装構造においては、配線基板に実装される半導体装置はパッケージの縁から一定の距離 e だけ内側にリードが位置していることから、隣接する半導体装置をそれぞれのパッケージが接触するように実装しても、隣接する半導体装置のリードとリードとの間には所定の距離($2e$)が維持できるようになり、ショート不良が発生しないようになっていることから、実装密度向上が図れる。

【0019】

【実施例】以下図面を参照して本発明の一実施例について説明する。図1は本発明の一実施例による半導体装置の断面図、図2は同じく半導体装置の製造に用いるリードフレームの平面図、図3は同じく半導体装置の製造におけるチップボンディングおよびワイヤボンディングが終了した状態のリードフレームを示す平面図、図4は同じく半導体装置の製造におけるトランスファモールド状態を示す断面図、図5は同じく半導体装置の製造におけるリード切断と第1次リード成形を行った状態を示す断面図、図6は同じく半導体装置の製造における第2次リード成形を行った状態を示す断面図、図7は本発明の一実施例による半導体装置実装構造を示す断面図、図8は本発明の半導体装置を収容するスティックマガジンを示す正面図、図9はスティックマガジンに本発明の半導体装置を収容した状態を示す断面図である。

【0020】本発明ではDRAM (Dynamic Random Access Memory) が組み込まれた半導体装置について説明する。本発明の半導体装置1は、レジンからなるパッケージ2と、このパッケージ2から突出するリード3とを有し、リード構造は先端に接合部8を有するJ型リード構造となっている。従来のレジンパッケージ型のSOJ型半導体装置は、パッケージの両側からリードを突出させているが、本発明の半導体装置1は、図1に示すように、パッケージ2の最外周縁からはリード3が突出しない構造となっているのが特徴である。

【0021】すなわち、本発明の半導体装置1において

は、パッケージ2は平面的に見て略矩形体となっているが、正面から見て図1に示すように、両側の周面下部

(底部周縁)は引っ込んだ傾斜面からなる窪み面9となっている。そして、この窪み面9の途中からリード3が突出するとともに、この突出付け根部分でリード3は下方に曲がり、かつ先端は内側に曲がってJ型リード構造となっている。また、見方を変えるならば、本発明の半導体装置1は、前記リード3の上面側のリード突出側のパッケージ部分は、リード3の下面側のリード突出側のパッケージ部分よりも張り出す(張出部10)構造となっている。そして、この張出部10がリード3のガード(保持用端部)として作用するようになっている。前記リード3はパッケージの最外周縁(単に周縁とも称する)から一定の距離 e (たとえば、 $0.2 \sim 0.3 \text{ mm}$)だけ内側に位置している。これは、半導体装置1の実装時、隣接する半導体装置1をパッケージ2が接触するようにして実装した場合、ショート不良を起こさせない間隔を生じさせるためである。

【0022】本発明の半導体装置1はLOC構造となっている。したがって、前記パッケージ2内においては、リード3(含むバスバーリード4)は、半導体チップ5に絶縁テープ6を介して接着されている。また、半導体チップ5の中央に沿って設けられる図示しない電極と、各リード3とは導電性のワイヤ7を介して接続されている。

【0023】このような半導体装置1は、平面的に見て、パッケージ2の内側にリード3が位置し、パッケージ2の周縁からはリード3は突出しない。したがって、半導体装置1の取り扱い時、リード3がパッケージ2よりも突出していないことから、他のものに接触する機会が少なくなり、リード変形が起き難くなる。また、半導体装置の取扱時、半導体装置1の張出部10を含むパッケージ2の上部を保持用端部(ハンドリング部)とすることができ、ハンドリング時直接リード3に触れなくともすむ。

【0024】また、図8は半導体装置1を収容するスティックマガジン15の斜視図、図9は半導体装置1を収容したスティックマガジン15の断面図である。半導体装置1は、略矩形枠断面16の中央に支持台17を有する断面構造のスティックマガジン15内に収容される。前記支持台17の上方の空間がパッケージ収容空間19となり、このパッケージ収容空間19から外れかつ支持台17の両側の空間がリード収容空間20となる。このようなスティックマガジン15においては、リード3が平面的に見てパッケージ2の周縁から食み出さず内側に位置していることと、半導体装置1のパッケージ2の下面中央が支持台17で支持されるため、リード3はスティックマガジン15の内壁面21に直接接触することはない。すなわち、このスティックマガジン15は、前記パッケージ2の上面および両側面ならびにリード突出部

から外れた下面中央に対してのみ接触面を有し、リード3とは接触しない構造となっている。したがって、半導体装置1が、スティックマガジン15内で動いても、スティックマガジン15の内壁面21に触れる可能性のある箇所は、パッケージ2の上面および側面ならびに下面中央部分であり、リード3は全く接触がない。これにより、スティックマガジン15内に収容された状態では、リード3に何ら外力は加わらず、リード変形は起きない。また、半導体装置1をスティックマガジン15に収容する際、スティックマガジン15のパッケージ収容空間19にパッケージ2を収容させるように挿入するため、リード3がスティックマガジン15の端に衝突するようなことがなくなり、リード変形の発生が防止できることになる。

【0025】つぎに、本発明の半導体装置1の製造について説明する。最初に図2に示されるようなリードフレーム25が用意される。このリードフレーム25は、0.125mmの厚さのFe-Ni系合金あるいはCu合金等からなる金属板をエッチングまたは精密プレスによってパターンングすることによって形成される。リードフレーム25は複数の単位リードパターンを一方向に直列に並べた形状となっている。単位リードパターンは、一対の平行に延在する外枠26と、この一対の外枠26を連結しかつ外枠26に直交する方向に延在する一対の内枠27とによって形成される枠内に形成されている。

【0026】一方、前記内枠27の内側から複数のリード3が枠の中央線に向かって延在している。これらリード3は、途中まで相互に平行となって延在してアウターリードを形成するが、途中から枠の中央部中心線方向にそれぞれ屈曲して片持梁構造のインナーリードを形成している。また、リード列の両側のリードは前記枠の中央部中心線に沿って延在し、相互に連なってバスバーリード4を形成している。このバスバーリード4は、両方の内枠27から延在するリード3によってそれぞれ形成され、一方が電源用リードとなり、他方が接地用リードとなる。また、枠の中心線に沿って延在する2本のバスバーリード4の間の空きゾーン29には、半導体チップ5が取り付けられた際、半導体チップ5の中心線に沿って配設された図示しない電極が並ぶようになっている。また、前記アウターリード部分のリード3は、前記内枠27に平行に延在するダム30によって連結されている。前記ダム30は後述するレジンモールド時、溶けたレジンの流出を阻止するダムとして、また強度部材として作用する。なお、前記外枠26には、図示しないガイド孔が設けられている。このガイド孔は、リードフレーム25の移送や位置決め等のガイドとして利用される。

【0027】つぎに、このようなリードフレーム25は、図3に示すように、半導体チップ5の主面に絶縁テープ6を介して重ねられる。前記絶縁テープ6は両面接

着テープからなる80 μ m厚さのポリイミドテープで形成されている。前記絶縁テープ6は、リードフレーム25のリード3およびバスバーリード4のインナーリード部分を貼り付ける。したがって、半導体チップ5の中心線部分の図示しない電極部分は露出することになる。

【0028】つぎに、常用のワイヤボンディング装置によって、図3に示すように、半導体チップ5の図示しない電極と、リード3およびバスバーリード4のインナーリード部分を金線等導電性のワイヤ7で電氣的に接続する。

【0029】つぎに、このリードフレーム25は、図4に示すように、常用のモールド（トランスファモールド）装置のモールド下型35と上型36に型閉めされた後、レジン注入によってパッケージ2が形成される。このモールドによって、半導体チップ5、リード3およびバスバーリード4のインナーリード部分、ワイヤ7、半導体チップ5等は、パッケージ2で被われる。なお、図ではリードフレーム25の上面とモールド下型35の上面との間隔は大きく図示されているが、実際には極めて短く、この部分からのレジンの流出は少なく、後工程でのダム切断時にレジンの漏れによる流出部分（バリ）の除去が行なえることになる。

【0030】モールドが終了したリードフレーム25は、リードの切断・成形が行われる。この実施例では、リード3をJ型リード構造とするために、リードの切断・成形は2次の加工処理に亘って行われる。すなわち、第1次工程ではリードの切断・成形が行われ、第2次工程ではリードの成形が行われる。第1次工程のリードの切断・成形においては、図5に示すように、切断成形下型40の切断下型41と、切断成形上型45の切断上型46によって、リード3およびバスバーリード4は切断される。また、前記切断上型46と噛み合うように切断成形下型40には成形下型42が設けられている。そして、この成形下型42と、前記切断上型46とによって成形下型42の外側に突出するリード部分は折り曲げられて、J型リードの接合部8が形成される。また、前記成形下型42には、前記リードフレーム25のダム30に対応する部分は逃孔43が設けられるとともに、この逃孔43には、切断成形上型45の打抜型47が設けられている。そして、前記打抜型47の降下によって、ダム30が打ち抜かれるようになっている。

【0031】第2次工程のリードの成形においては、図6に示すように、リード3およびバスバーリード4の切断ならびにダム30の切断除去が終了した後、パッケージ2から突出するリード3の突出付け根部分は抜型50に下方から支持される。この第2次工程は同一装置にて行われる。すなわち、パッケージ2に対して下方から抜型50が上昇し、リード3の突出付け根部分を支持する。その後、前記切断成形下型40および切断成形上型45がそれぞれ後退する。つぎに、曲げ用ロール51が

前進して前記リード3の上方に位置する。この曲げ用ロール51は下方に下降してリード3に接触した後、図6の矢印に示されるように、円弧を描いて相互に接近するように移動し、リード3を抜型50に支持されている突出付け根部分で折り曲げ、リード3をJ型リード構造とする。その後、前記曲げ用ロール51は後退する。また、図示しないホルダによってパッケージ2の上部分、すなわち、張出部10を含むパッケージ2部分は保持される。ついで、前記抜型50は水平に後退してパッケージ2の下部および両側のリード3によって囲まれる空間領域から抜ける。製造された半導体装置1は、図示しないホルダによって所定位置にアンローディングされる。

【0032】本発明の半導体装置1は、従来の半導体装置と同様に配線基板にリフロー半田付けによって表面実装される。図7は本発明の一実施例による半導体装置の実装構造を示す正面図である。同図に示されるように、半導体装置1は、それぞれのパッケージ2が接触する状態で配線基板55に実装されている。すなわち、各半導体装置1は、配線基板55の各フットプリント等と呼称される導体層（配線層）56に半田57を介して接続されている。この場合、各半導体装置1のリード3は、パッケージ2の周縁から一定の距離 e だけ内側に位置することから、隣接する半導体装置1間のリード3間の隙間は $2e$ となる。したがって、前記配線基板55に示されるように、導体層56間においても、 $2e$ なる隙間が存在するように、配線パターンを形成しておく必要がある。このような配線基板55に対して、本発明の半導体装置1をリフロー半田付けによって実装した場合、半田のリフロー時に半導体装置1が動いた場合、隣接する半導体装置1は相互に離れる方向に動くことがあっても、相互のパッケージ2が接触することから、それ以上は接近しなくなり、隣接する半導体装置1間のリードショート不良は発生しなくなる。この結果、本発明の半導体装置の実装構造によれば、実装密度向上が達成できることになる。

【0033】

【発明の効果】

(1) 本発明の半導体装置は、パッケージのリード突出側の両側の窪み面からリードが突出し、パッケージの周縁からリードが食み出していないことから、パッケージの周縁がリードの保護体となり、ハンドリング時にリードが他のものに衝突する機会が少なくなり、リード変形が起き難くなるという効果が得られる。

【0034】(2) 本発明の半導体装置は、リードを被うように張り出した張出部を含むパッケージの上部が、ハンドリング時の保持部分となることから、ハンドリング時、直接リードに触れなくとも半導体装置のハンドリングが行えるため、リード変形が起き難くなるという効果が得られる。

【0035】(3) 本発明の半導体装置は、半導体装置

収容スティックマガジンに挿入する際、リードがパッケージの周縁から突出していないことから、スティックマガジンの端に衝突する機会が少なくなり、リード変形防止が達成できるという効果が得られる。

【0036】(4) 本発明の半導体装置は、半導体装置収容スティックマガジンに収容された状態では、スティックマガジンの内壁面に接触する箇所は、パッケージの上面および両側面ならびにリード突出部から外れた下面中央となり、リードは内壁面には接触しないため、リード変形が防止できるという効果が得られる。

【0037】(5) 本発明の半導体装置の実装構造においては、配線基板に実装される半導体装置はパッケージの縁から一定の距離だけ内側にリードが位置していることから、隣接する半導体装置をそれぞれのパッケージが接触するように実装しても、隣接する半導体装置のリードとリードとの間には一定の距離の2倍の空隙が形成されるため、リード間ショートが発生しなくなり、実装密度の向上が達成できるという効果が得られる。

【0038】(6) 上記(1)～(5)により、本発明によれば、リード変形が起き難く実装密度向上が達成できる半導体装置を提供することができるという相乗効果が得られる。

【0039】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、図10に示すように、パッケージ2において、リード3の上面側では、半導体装置の製造におけるトランスファモールド時、モールド上型が抜け易いように、台形状の構造としてもよい。この構造においても、リード3の上部のパッケージ2はリード3よりも張り出した張出部10を有することから、リード3は張出部10がガードとなってリード変形し難くなる。また、実装においても、隣接する半導体装置1はそれぞれのパッケージ2を接触させるようにして実装を行うことにより、実装密度向上が達成できる。

【0040】図11は本発明の他の実施例による半導体装置1を示すものである。この半導体装置1は、パッケージ2の四方向からリード3を突出させた構造となっている。リード3はパッケージ2の周面下部の窪み面9の途中から突出するとともに、突出付け根部分で下方に曲がり、いわゆるバットリード構造となっている。リード3をパッケージ2の四方向から突出させかつ突出付け根部分で下方に折り曲げた場合、リードをJ型リード構造とすると、前記抜型を利用したリード曲げは、抜型が抜けないことから形成できなくなる。そこで、パッケージ2の四方向からリード3を突出させかつ突出付け根部分で下方にリード3を折り曲げた場合は、リード3をバットリード構造としたものである。この例の半導体装置1も前記実施例同様にリード変形の防止、実装密度向上が

達成できる。

【0041】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるレジンパッケージ型半導体装置の製造技術に適用した場合について説明したが、それに限定されるものではない。本発明は少なくとも所望部分をパッケージで封止する半導体装置の製造技術には適用できる。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体装置の断面図である。

【図2】本発明の一実施例による半導体装置の製造に用いるリードフレームの平面図である。

【図3】本発明の一実施例による半導体装置の製造におけるチップボンディングおよびワイヤボンディングが終了したリードフレームを示す平面図である。

【図4】本発明の一実施例による半導体装置の製造におけるトランスファモールド状態を示す断面図である。

【図5】本発明の一実施例による半導体装置の製造において、リード切断と第1次リード成形を行った状態を示す断面図である。

【図6】本発明の一実施例による半導体装置の製造において、第2次リード成形を行った状態を示す断面図である。

【図7】本発明の一実施例による半導体装置実装構造を

示す断面図である。

【図8】本発明の半導体装置を収容するスティックマガジンを示す正面図である。

【図9】本発明の半導体装置を収容したスティックマガジンを示す断面図である。

【図10】本発明の他の実施例による半導体装置を示す断面図である。

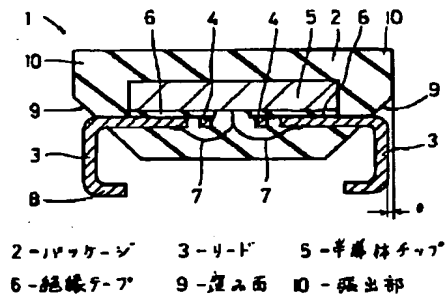
【図11】本発明の他の実施例によるバットリード構造の半導体装置を示す断面図である。

【図12】従来のSOJ型半導体装置を示す断面図である。

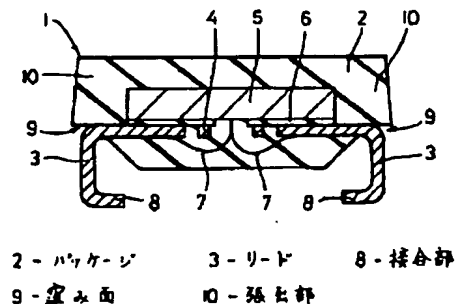
【符号の説明】

1…半導体装置、2…パッケージ、3…リード、4…バスバーリード、5…半導体チップ、6…絶縁テープ、7…ワイヤ、9…窪み面、10…張出部、15…スティックマガジン、16…矩形枠断面、17…支持台、19…パッケージ収容空間、20…リード収容空間、21…内壁面、25…リードフレーム、26…外枠、27…内枠、29…空きゾーン、30…ダム、35…下型、36…上型、40…切断成形下型、41…切断下型、42…成形下型、43…逃孔、45…切断成形上型、46…切断上型、47…打抜型、50…抜型、51…曲げ用ロール、55…配線基板、56…導体層、57…半田。

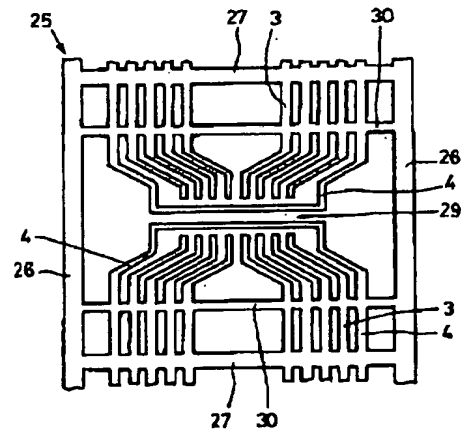
【図1】



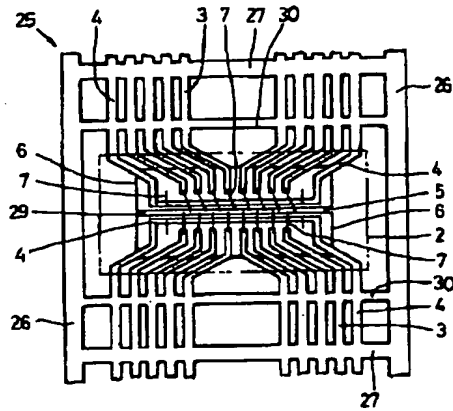
【図10】



【図2】

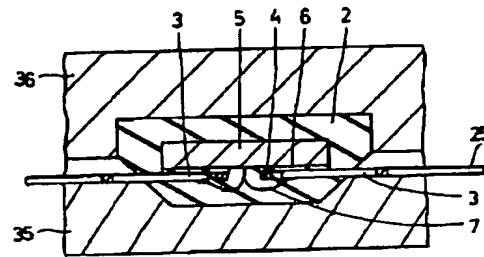


【図3】



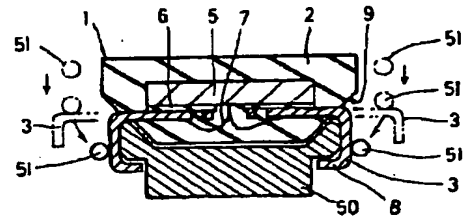
2-パッケージ 3-リード 5-半導体チップ
6-絶縁層 7-ワイヤ 25-リードフレーム

【図4】



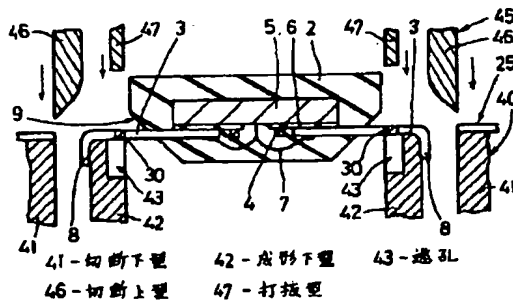
2-パッケージ 3-リード 5-半導体チップ
35-下型 36-上型

【図6】



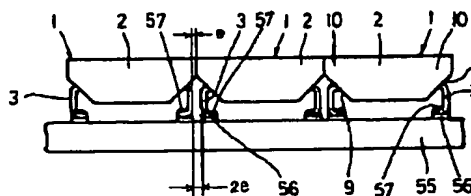
2-パッケージ 3-リード 5-半導体チップ
50-板型 51-開口用ロール

【図5】



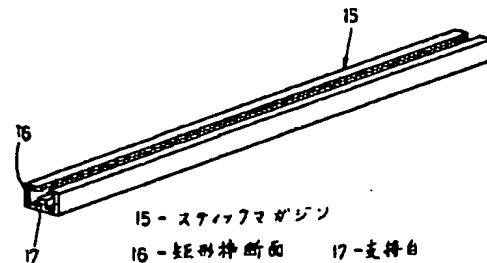
41-切断下型 42-成形下型 43-通孔
46-切断上型 47-打抜き型

【図7】



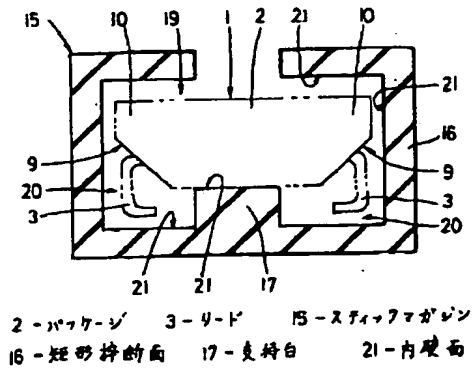
1-半導体装置 2-パッケージ 3-リード
55-配線基板 56-導体層 57-半田

【図8】

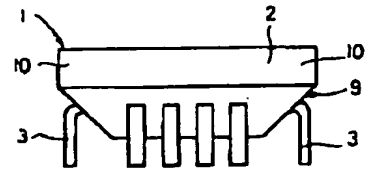


15-スタックマガジン
16-矩形棒断面 17-支持台

【図 9】



【図 11】



【図 12】

